

ADZBT1^{HP}

アズビットワン

Xilinx Zynq = ARM Cortex-A9 Processor + FPGA Original Board



Hardware User Manual Version 1.2

Revision History

Version	Date	Comment
1.0	2020/3/16	新規作成
1.1	2020/8/28	PS 部 CLK 変更、J1,J2 コネクタ型番変更
1.2	2022/1/27	J1 コネクタ Port 名誤記訂正

目次

1	Overview.....	4
2	Block Diagram	5
3	機能説明	6
3.1	Power Supply.....	7
3.2	Zynq FPGA Configuration	8
3.3	JTAG I/F.....	10
3.4	QSPI Flash.....	10
3.5	DDR Memory	10
3.6	USB Serial Port	11
3.7	MicroSD Slot.....	11
3.8	Clock Source	11
3.9	User I/O.....	12
3.10	LED	15
3.11	DIP SW.....	16
4	Appendix	17

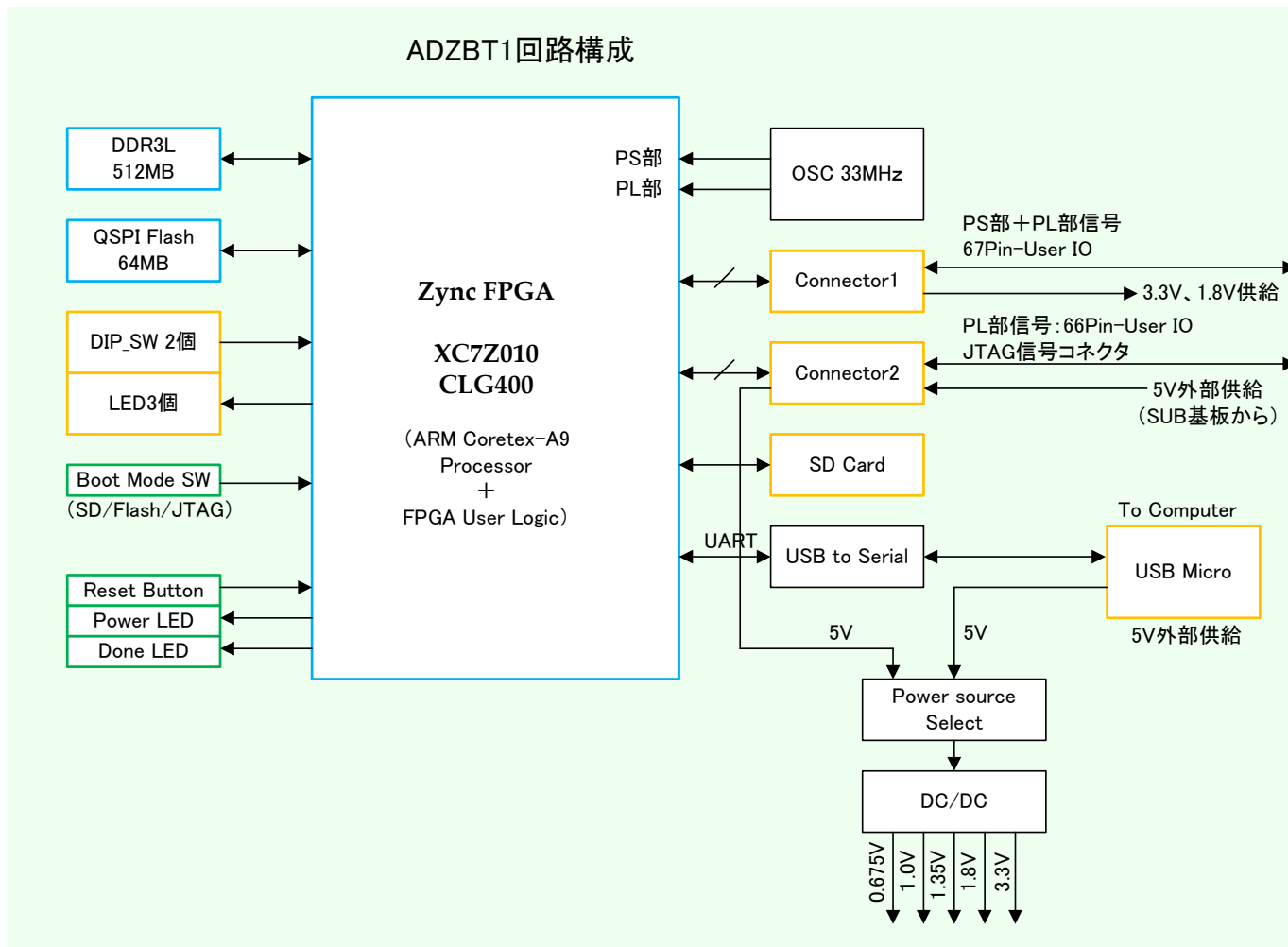
1 Overview

本 FPGA ボード、ADZBT1HP の仕様について記載します。

		ADZBT1-Dualcore
FPGA		XC7Z010(Zynq) Package : CLG400
Processor Core		Dual-Core ARM Coretex-A9 MPCore Up to 866MHz
Processor Extensions		NEON SIMD Engine and Single/Double Precision Floating Point Unit Per Processor
L1 Cache		32KB Instruction, 32KB Data per processor
L2 Cache		512KB
On-Chip Memory		256KB
DRAM		DDR3L 512MB
QSPI Flash		512Mb(64MB)
UART		Micro USB UART Debug I/F (USB Micro B)
SD Card		SD Card x 1
Connect I/O		133 Pin User I/O I/O は以下の用途に拡張可能。 USB2.0(OTG) , Gigabit Ether, UART, CAN 2.0B, I2C, SPI, GPIO, User I/F
Power		DC In : 5V (拡張コネクタから供給) / Micro USB : 5V
Programmable Logic	Logic Cells	28K
	Look-up Tables (LUTs)	17,600
	Flip-Flop	35,200
	Total Block RAM	2.1Mb
	DSP Slice	80
Board Size		50.0mm x 50.0mm
動作温度範囲		0~85℃
消費電力		約 1.5W (5V、300mA 以下 ※CPU は Dhrystone 実行時)

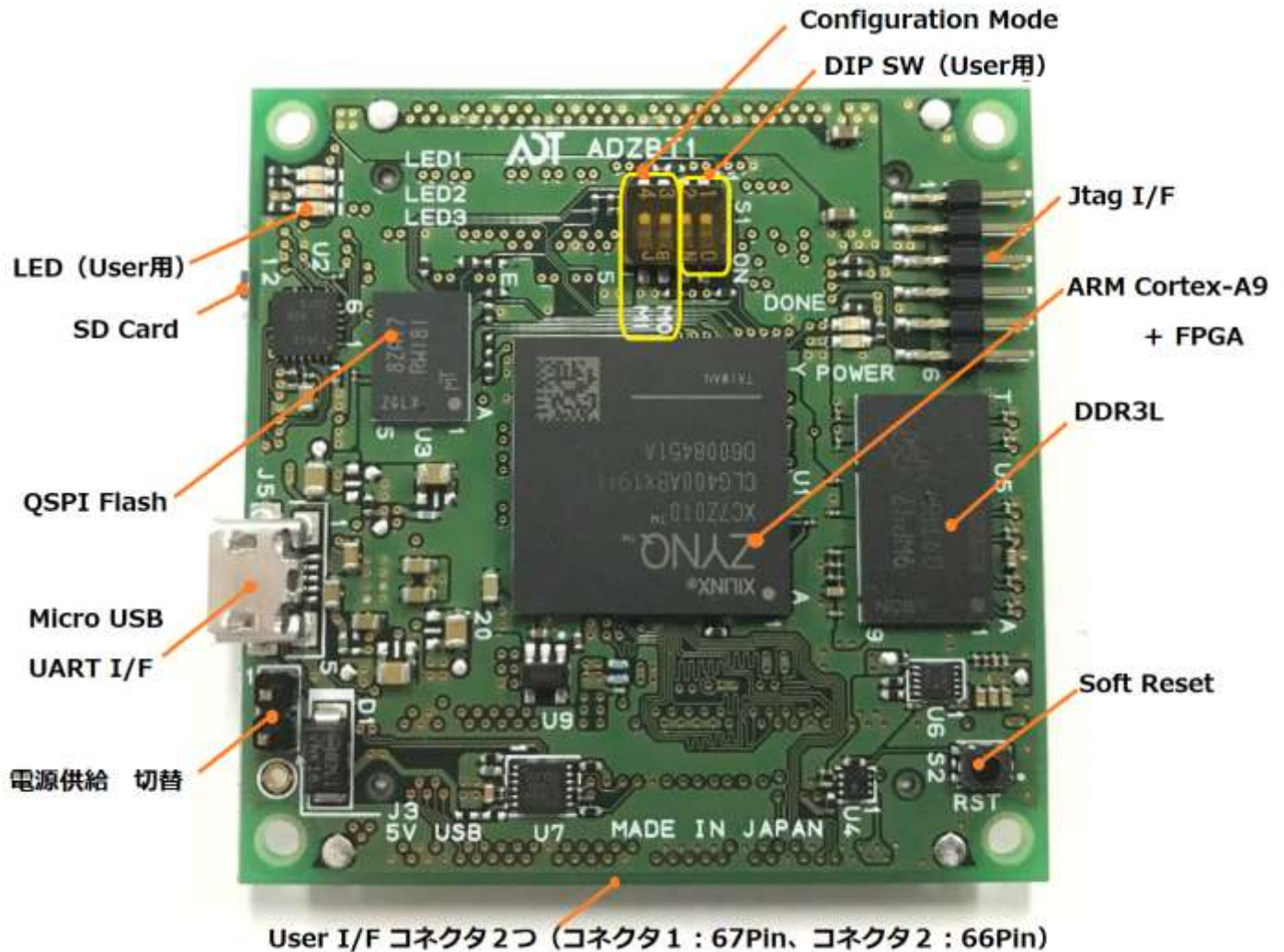
2 Block Diagram

ADZBT1 のブロック構成を、以下に示します。



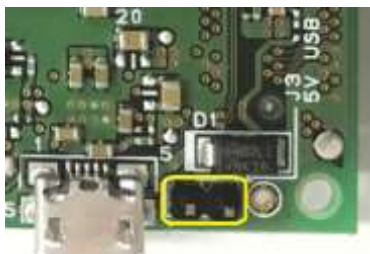
3 機能説明

ADZBT1の機能について、以下に説明します。

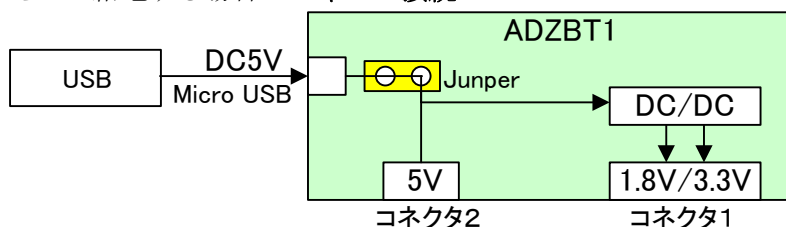


3.1 Power Supply

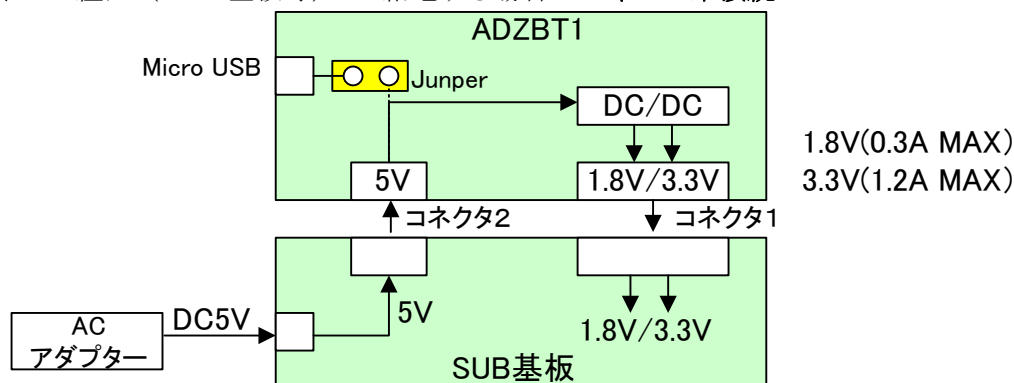
ADZBT1の電源は、①Micro USB、②SUB基板経由、③外部電源供給の3通りから給電することができます。給電の切り替えは、ジャンパにより切り替えます。



①Micro USB から 5V 給電する場合：ジャンパ接続

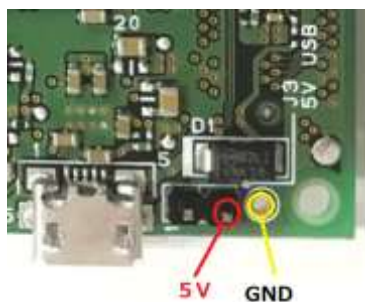


②コネクタ経由 (SUB基板等) 5V 給電する場合：ジャンパ未接続



③上記以外に外部から 5V 給電する場合：ジャンパ未接続

5V/GND を接続し直接供給することが可能となっています。



3.2 Zynq FPGA Configuration

Zynq FPGA の Configuration は、QSPI/JTAG/SDCard の 3 つの Boot Mode から選択できます。Mode の切り替えは、DIP_SW3 (M0)、DIP_SW4 (M1) により切り替えます。



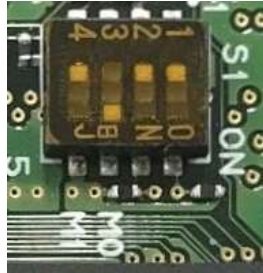
DIP SW の設定表を以下に示します。

設定 Mode	DIP SW4 (M1)	DIP SW3 (M0)
QSPI Mode	OFF	OFF
JTAG Mode	OFF	ON
SD Card Mode	ON	OFF

■JTAG Mode

Xilinx SDK を使用してソフトウェアのデバッグ 及び、 Xilinx Vivado を使用してハードウェアの FPGA の内部信号をモニタしてデバッグすることができます。

また、QSPI Boot Mode で使用する際に、QSPI への書き込み時に JTAG Mode を使用します。

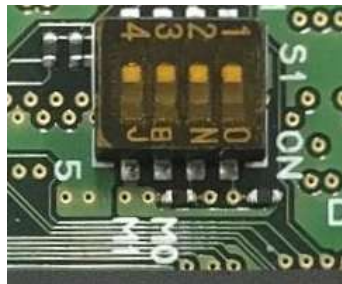


JTAG Mode の設定

■QSPI Boot Mode

ADZBT1 には、Quad-SPI Serial Flash を実装しています。

ボードの電源起動後に、QSPI に保存されているイメージを読み込んで、起動することができます。



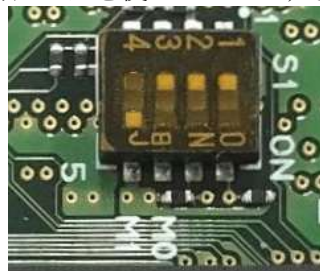
QSPI Boot Mode の設定

手順例：

- 1) DIP_SW3=ON にして、JTAG Mode にします。
- 2) ボードの電源を接続します。
- 3) Xilinx JTAG ダウンロードケーブルから、Xilinx SDK を使って QSPI に書き込みます。
- 4) 書き込み後、DIP_SW3=OFF にして、QSPI Mode にします
- 5) ボードの電源を OFF します。
- 6) 再度電源を ON すると、QSPI に格納されているイメージが読み出されて、FPGA にコンフィグレーションが行われます。

■SD_Card Boot Mode

SD Card に格納されている Boot 用データを使って Boot することができます。

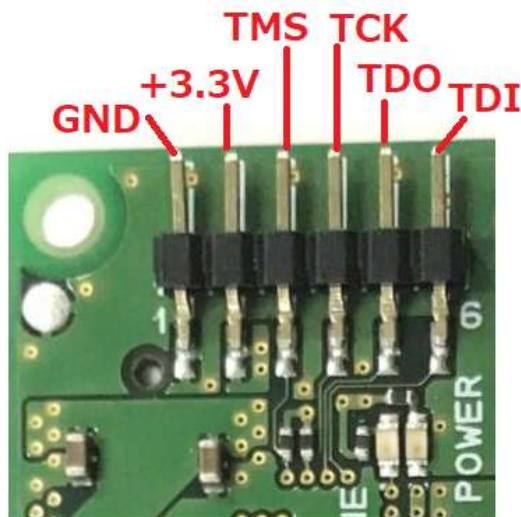


SD Card Boot Mode の設定

3.3 JTAG I/F

JTAG I/F は、6Pin コネクタ (PSL-210203-06) を使用しています。

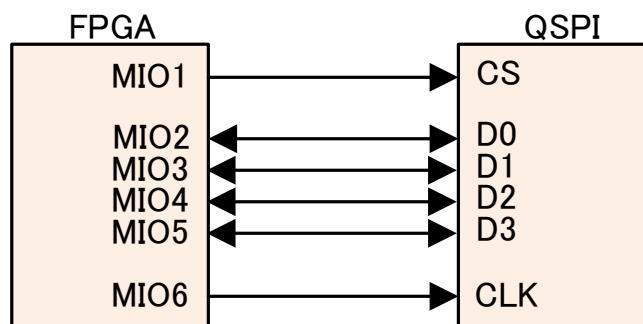
信号配置は以下ようになります。



3.4 QSPI Flash

QSPI I/F は、3.3V 対応の、Micron : MT25QL512 (64MB) を使用しています。
電源投入後の、First Stage Loader を保存するために使用されます。

FPGA の Pin 配置は以下に記載します。

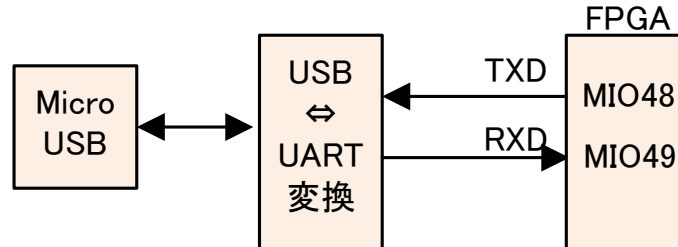


3.5 DDR Memory

DDR Memory は、DDR3L Micron : MT41K256M16 (512MB) を使用しています。

3.6 USB Serial Port

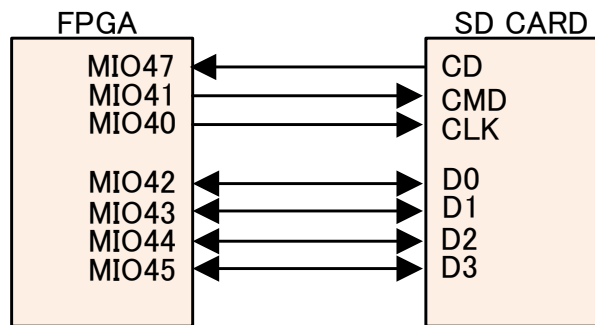
Micro USB から、Zynq FPGA への UART アクセスに使用します。
 Zynq FPGA 内で Linux 起動時には、Micro USB-UART 経由で操作できます。
 ※Micro USB (Micro B のコネクタ形状)



3.7 MicroSD Slot

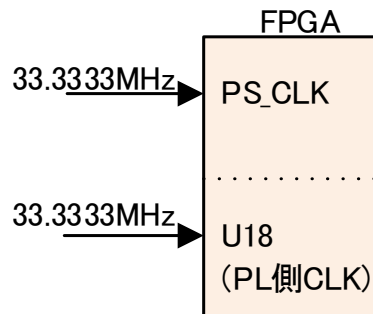
Micro SD は、2nd-Boot に使用します。
 Linux などの OS のイメージを MicroSD に格納しておくことで、Boot 時に Linux 起動させることができます。

FPGA の Pin 配置は以下に記載します。



3.8 Clock Source

33.3333MHz Oscillator を実装し、FPGA の PS 部、PL 部に各々入力しています。



3.9 User I/O

User I/O として、裏面に J1 : 67Pin、J2 : 66Pin を実装します。

J1 (裏面 67Pin) コネクタ型番 : FX10A-100P/10-SV1 (Hirose)

J2 (裏面 66Pin) コネクタ型番 : FX10A-100P/10-SV1 (Hirose)



Pin アサインを以下に示します。

■ J1 コネクタ :

J1 コネク タ	FPGA		J1 コネク タ	FPGA	
Pin 番 号	Pin 番 号	Port 名	Pin 番号	Pin 番号	Port 名
1	—	+3.3V	2	—	+3.3V
3	—	+3.3V	4	—	+3.3V
5	—	+3.3V	6	—	+3.3V
7	—	+3.3V	8	—	+3.3V
9	—	GND	10	—	GND
11	A10	PS_MIO37 (OTG_data5)	12	A12	PS_MIO34 (OTG_data2)
13	A11	PS_MIO36 (OTG_clk)	14	B13	PS_MIO50 (ETH Interrupt)
15	—	GND	16	—	GND
17	B9	PS_MIO51 (ETH PHY Reset)	18	A14	PS_MIO32 (OTG_data0)
19	C18	PS_MIO39 (OTG_data7)	20	C16	PS_MIO28 (OTG_data4)
21	—	GND	22	—	GND
23	F12	PS_MIO35 (OTG_data3)	24	E16	PS_MIO31 (OTG nxt)
25	C15	PS_MIO30 (OTG_stp)	26	C13	PS_MIO29 (OTG_dir)
27	D15	PS_MIO33 (OTG_data1)	28	—	GND

29	D16	PS_MIO46 (OTG Reset)	30	E13	PS_MIO38 (OTG_data6)
31	C11	PS_MIO53 (ETH mdio)	32	C10	PS_MIO52 (ETH mdc)
33	D11	PS_MIO23 (ETH rxd0)	34	D10	PS_MIO19 ((ETH txd2)
35	—	GND	36	—	GND
37	D13	PS_MIO27 (ETH rx_ctl)	38	A17	PS_MIO20 (ETH txd3)
39	—	GND	40	—	GND
41	A15	PS_MIO26 (ETH rxd3)	42	B18	PS_MIO18 (ETH txd1)
43	—	GND	44	—	GND
45	A16	PS_MIO24 (ETH rxd1)	46	E14	PS_MIO17 (ETH txd0)
47	—	GND	48	—	GND
49	F15	PS_MIO25 (ETH rxd2)	50	F14	PS_MIO21 (ETH tx_ctl)
51	B17	PS_MIO22 (ETH rx_clk)	52	A19	PS_MIO16 (EH tx_clk)
53	—	GND	54	—	GND
55	C8	PS_MIO15	56	C5	PS_MIO14
57	E8	PS_MIO13	58	D5	PS_MIO8
59	B5	PS_MIO9	60	E9	PS_MIO10
61	C6	PS_MIO11	62	D9	PS_MIO12
63	—	JTAG_nRST (SRST の SW を接続)	64	V13	IO_L3N_T0_DQS_34
65	E6	PS_MIO0	66	T11	IO_L1P_T0_34
67	U12	IO_L2N_T0_34	68	U13	IO_L3P_T0_DQS_PUDC_B_34
69	T12	IO_L2P_T0_34	70	T10	IO_L1N_T0_34
71	W15	IO_L10N_T1_34	72	U15	IO_L11N_T1_SRCC_34
73	W14	IO_L8P_T1_34	74	U14	IO_L11P_T1_SRCC_34
75	Y14	IO_L8N_T1_34	76	T16	IO_L9P_T1_DQS_34
77	V15	IO_L10P_T1_34	78	T14	IO_L5P_T0_34
79	W13	IO_L4N_T0_34	80	T15	IO_L5N_T0_34
81	V12	IO_L4P_T0_34	82	Y16	IO_L7P_T1_34
83	N18	IO_L13P_T2_MRCC_34	84	Y17	IO_L7N_T1_34
85	P19	IO_L13N_T2_MRCC_34	86	U17	IO_L9N_T1_DQS_34
87	P14	IO_L6P_T0_34	88	N20	IO_L14P_T2_SRCC_34
89	R14	IO_L6N_T0_VREF_34	90	P20	IO_L14N_T2_SRCC_34
91	U19	IO_L12N_T1_MRCC_34	92	R19	IO_0_34
93	—	GND	94	—	GND
95	—	GND	96	—	GND
97	—	+1.8V	98	—	+1.8V
99	—	+1.8V	100	—	+1.8V

■J2 コネクタ :

FPGA			FPGA		
J2 コネク タ	FPGA		J2 コネク タ	FPGA	
Pin 番 号	Pin 番 号	Port 名	Pin 番 号	Pin 番号	Port 名
1	—	+5V	2	—	+5V
3	—	+5V	4	—	+5V
5	—	+5V	6	—	+5V
7	—	+5V	8	—	+5V
9	—	GND	10	—	GND
11	—	TCK	12	—	TDO
13	—	TMS	14	—	TDI
15	R16	IO_L19P_T3_34	16	W16	IO_L18N_T2_34
17	R17	IO_L19N_T3_VREF_34	18	V16	IO_L18P_T2_34
19	V17	IO_L21P_T3_DQS_34	20	T17	IO_L20P_T3_34
21	Y18	IO_L17P_T2_34	22	W18	IO_L22P_T3_34
23	Y19	IO_L17N_T2_34	24	W19	IO_L22N_T3_34
25	V18	IO_L21N_T3_DQS_34	26	W20	IO_L16N_T2_34
27	U20	IO_L15N_T2_DQS_34	28	V20	IO_L16P_T2_34
29	T20	IO_L15P_T2_DQS_34	30	R18	IO_L20N_T3_34
31	C20	IO_L1P_T0_AD0P_35	32	B19	IO_L2P_T0_AD8P_35
33	B20	IO_L1N_T0_AD0N_35	34	A20	IO_L2N_T0_AD8N_35
35	—	GND	36	—	GND
37	E17	IO_L3P_T0_DQS_AD1P_35	38	D19	IO_L4P_T0_35
39	D18	IO_L3N_T0_DQS_AD1N_35	40	D20	IO_L4N_T0_35
41	—	GND	42	—	GND
43	E18	IO_L5P_T0_AD9P_35	44	F16	IO_L6P_T0_35
45	E19	IO_L5N_T0_AD9N_35	46	F17	IO_L6N_T0_VREF_35
47	—	GND	48	—	GND
49	M19	IO_L7P_T1_AD2P_35	50	M17	IO_L8P_T1_AD10P_35
51	M20	IO_L7N_T1_AD2N_35	52	M18	IO_L8N_T1_AD10N_35
53	—	GND	54	—	GND
55	L19	IO_L9P_T1_DQS_AD3P_35	56	K19	IO_L10P_T1_AD11P_35
57	L20	IO_L9N_T1_DQS_AD3N_35	58	J19	IO_L10N_T1_AD11N_35
59	—	GND	60	—	GND
61	L16	IO_L11P_T1_SRCC_35	62	K17	IO_L12P_T1_MRCC_35
63	L17	IO_L11N_T1_SRCC_35	64	K18	IO_L12N_T1_MRCC_35
65	—	GND	66	—	GND
67	H16	IO_L13P_T2_MRCC_35	68	J18	IO_L14P_T2_AD4P_SRCC_35
69	H17	IO_L13N_T2_MRCC_35	70	H18	IO_L14N_T2_AD4N_SRCC_35
71	F19	IO_L15P_T2_DQS_AD12P_35	72	G17	IO_L16P_T2_35
73	F20	IO_L15N_T2_DQS_AD12N_35	74	G18	IO_L16N_T2_35

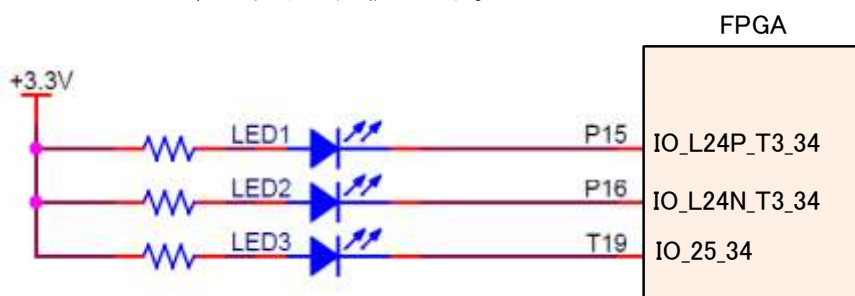
75	—	GND	76	—	GND
77	J20	IO_L17P_T2_AD5P_35	78	G19	IO_L18P_T2_AD13P_35
79	H20	IO_L17N_T2_AD5N_35	80	G20	IO_L18N_T2_AD13N_35
81	—	GND	82	—	GND
83	H15	IO_L19P_T3_35	84	K14	IO_L20P_T3_AD6P_35
85	G15	IO_L19N_T3_VREF_35	86	J14	IO_L20N_T3_AD6N_35
87	—	GND	88	—	GND
89	G14	IO_0_35	90	J15	IO_25_35
91	N15	IO_L21P_T3_DQS_AD14P_35	92	L14	IO_L22P_T3_AD7P_35
93	N16	IO_L21N_T3_DQS_AD14N_35	94	L15	IO_L22N_T3_AD7N_35
95	—	GND	96	—	GND
97	M14	IO_L23P_T3_35	98	K16	IO_L24P_T3_AD15P_35
99	M15	IO_L23N_T3_35	100	J16	IO_L24N_T3_AD15N_35

3.10 LED

ADZBT1にはUser用LEDを3つ実装しています。

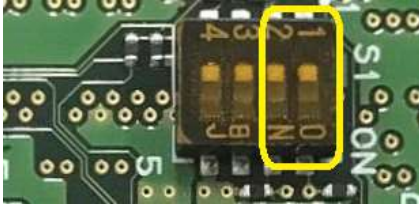


FPGAのPin配置は以下に記載します。

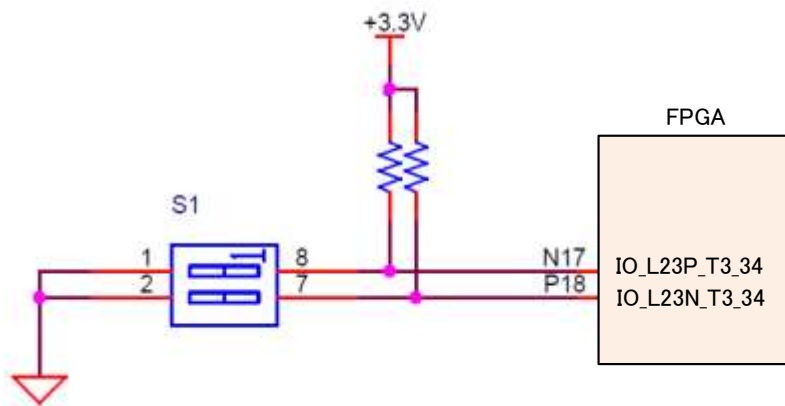


3.11 DIP SW

ADZBT1には User 用 DIP SW を2つ実装しています。



FPGA の Pin 配置は以下に記載します。



4 Appendix

ADZBT1 出荷時には、出荷検査用の ROM データが書き込まれており、LED 点滅する状態となっております。使用時に QSPI Flash への書き込み、又は、SD Card に ROM データを格納してご使用ください。

ADZBT1 を用いた開発にあたり、サンプルデザインを提供しております。テスト用のサンプルデザインとなりますので、製品に転用される場合には、ユーザー様の責任においてご利用下さいますようお願い致します。

- ボードファイル : adzbt1-400p.zip
- サンプルデザイン
 - (1) プロジェクトファイル : ADZBT1_400p_Ref.xpr.zip
 - (2) bsp : adzbt1hp_ref.bsp
 - (3) ROM データ : BOOT.BIN
image.ub
system.dtb
zynq_fsbl.elf
 - (4) RootFileSystem : ubuntu18.04LTS_RootFS.tar.gz

【開発環境】

- Vivado 2018.3
- Petalinux 2018.3
- Ubuntu 16.04 LTS

— 以上 —