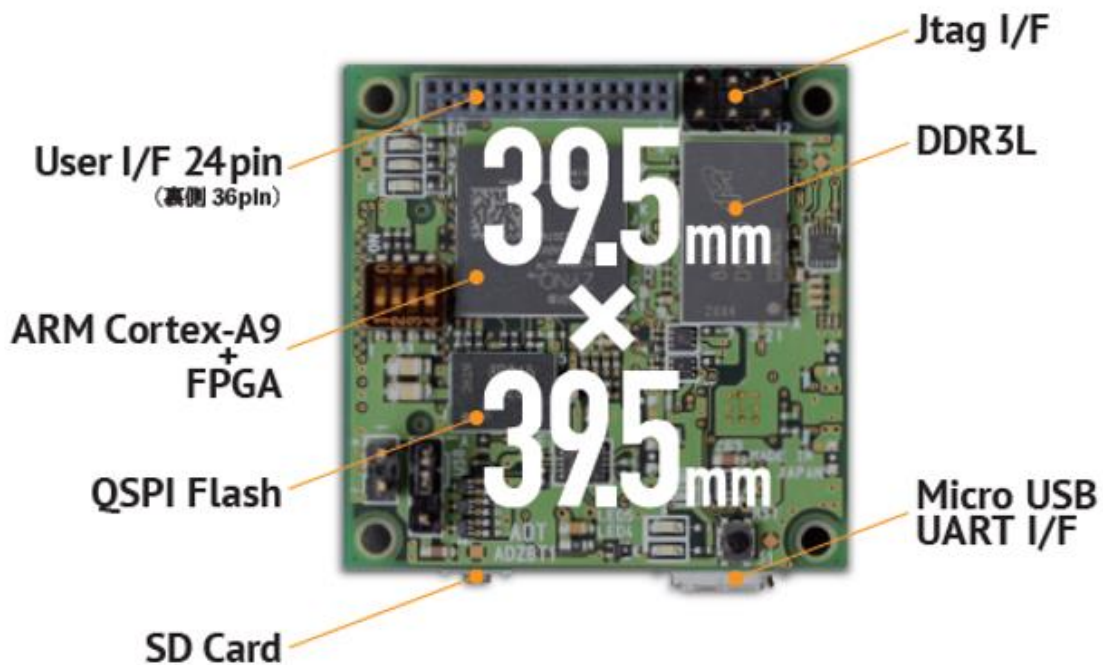


# ADZBT1 アズビットワン

*Kilinx Zynq = ARM Cortex-A9 Processor + FPGA Original Board*



入門編 マニュアル  
Version 1.0

## Revision History

Version	Date	Comment
1.0	2019/4/25	新規作成

## 目次

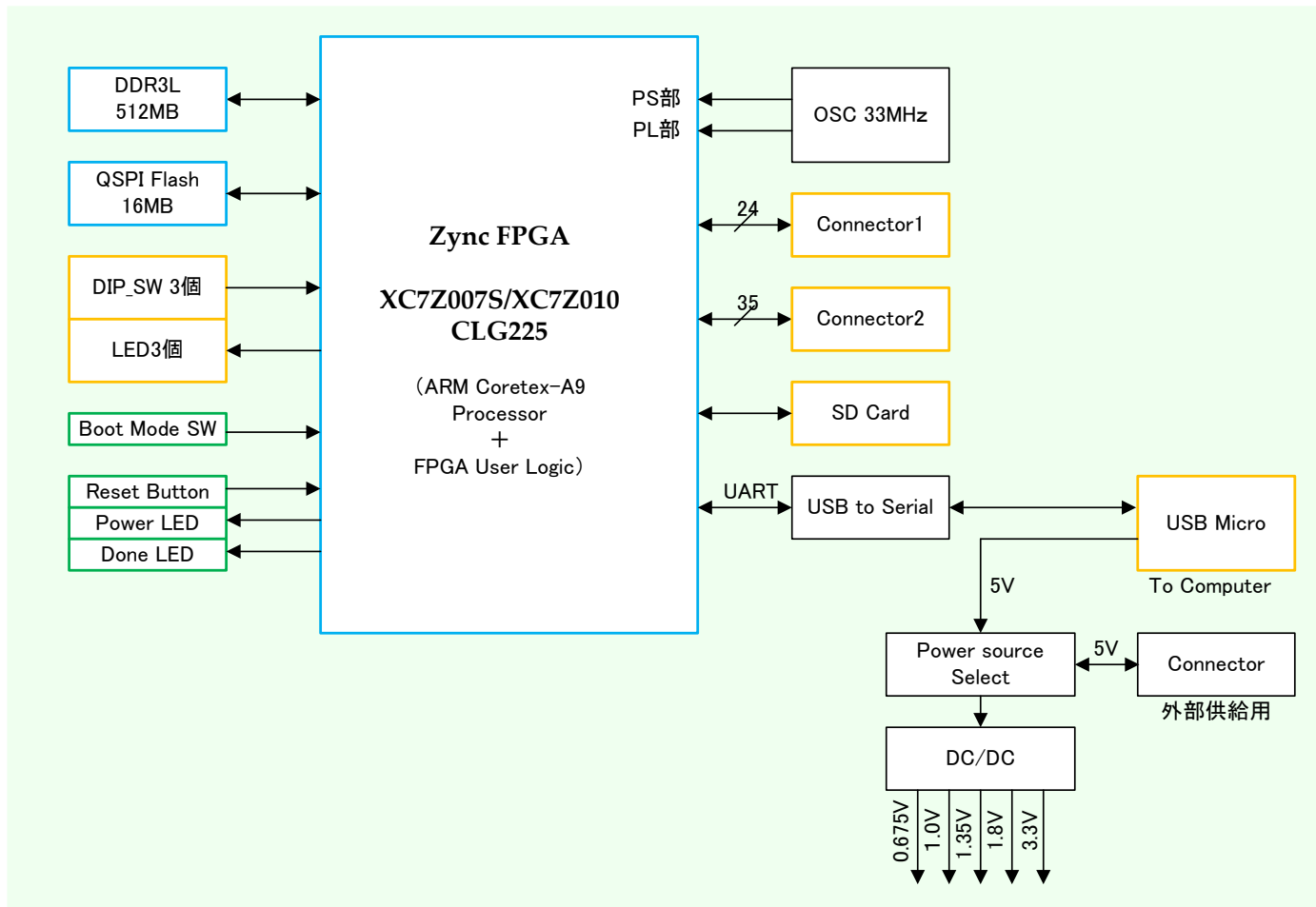
1	Overview.....	4
2	Block Diagram .....	4
3	サンプルデザインの使い方.....	7
3.1	構成.....	7
3.2	手順.....	9
3.2.1	起動およびログイン .....	9
3.2.2	LED を操作する .....	10

## 1 Overview

本マニュアルは、Zynq 入門者向けに ADZBT1 を容易に使えるようにすることを目的としたマニュアルです。

## 2 Block Diagram

ADZBT1 のブロック構成を、以下に示します。

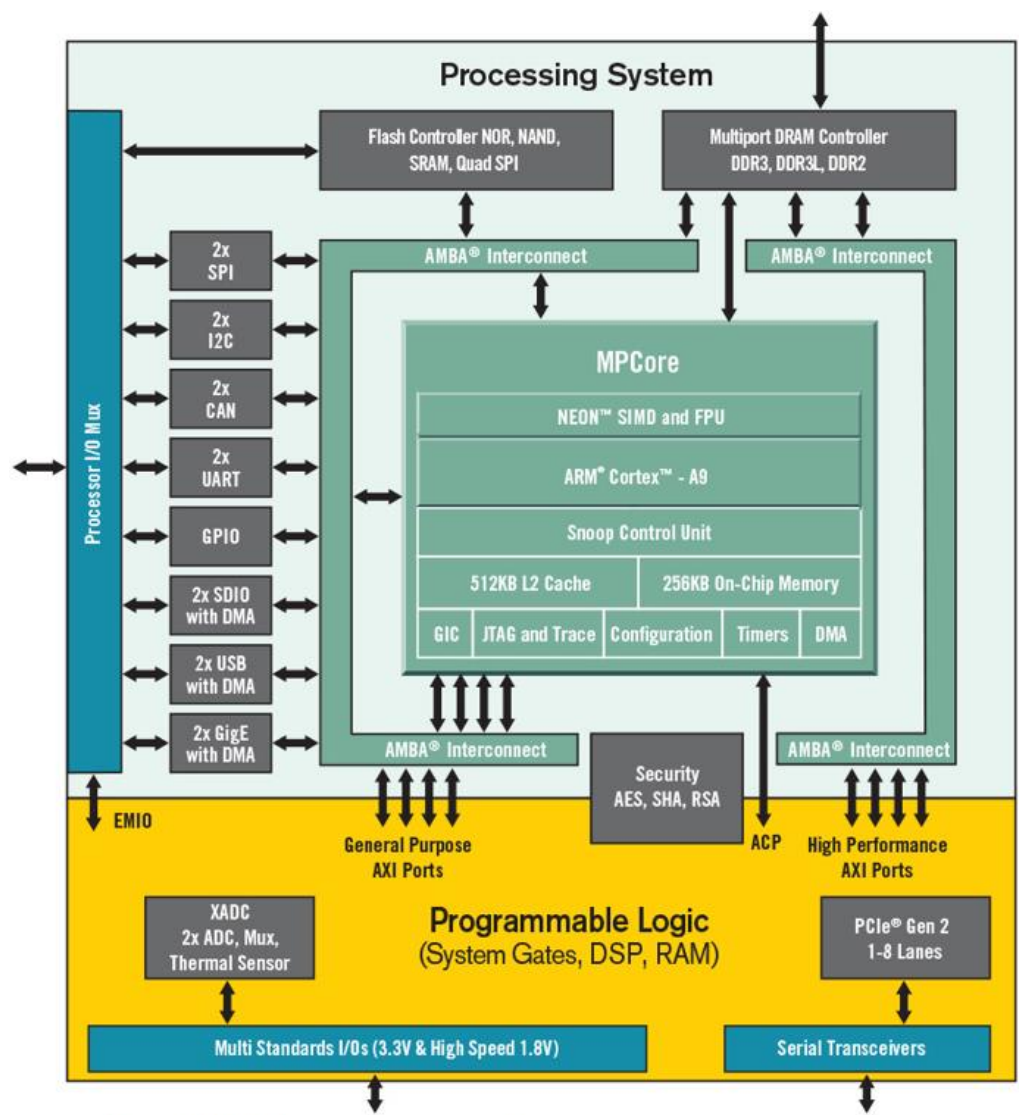


ブロック図の Zynq FPGA の中身は、PS 部 (Processing System) と PL 部 (Programmable Logic) に分かれています。

イメージとしては、下図のようになります。

PS 部は、ARM Coretex-A9 CPU と、その周辺回路として、汎用 I/F である、SPI, I2C, UART, CAN や、外部 SDRAM メモリの DDR I/F などを実装します。

PL 部は、ユーザー独自の回路を設計し、実装することができます。



また、ADZBT1は、PS部のMIO28~39を裏側のコネクタに接続していますが、  
 下図のようにMIO28~39に何を出力するかを設定することで、機能を切り替えることができます。

MIO Voltage Bank 0 Package Bank 500										Voltage Bank 1 Package									
0	1	2	3	4	5	6	7	8	9	0	1	2	3	4	5	6	7	8	9
<b>BOOT_MODE</b>					The 20k ohm Boot Mode pull-up/down resistors are sampled at Reset					<b>Ethernet 1</b>									
Device					pll					V					tx ck				
tx data					tx ctl					rx ck					rx data				
rx ctl																			
<b>Quad SPI 0</b>					<b>Quad SPI 1</b>					<b>USB 0</b>									
cs 1					cs 0					io 0					io 1				
io 2					io 3					s ck					fb ck				
s ck					io 0					io 1					io 2				
io 3																			
<b>SPI</b>					1, 0					<b>SPI 0</b>					<b>SPI 1</b>				
momi					momi					ss 0					ss 1				
ss 2					ss 3					ck					ck				
ck					ck					ck					ck				
ck					ck					ck					ck				
<b>SDIO</b>					1, 0					<b>SDIO 0</b>					<b>SDIO 1</b>				
io 0					io 1					io 2					io 3				
io 4					io 5					io 6					io 7				
io 8					io 9					io 10					io 11				
io 12					io 13					io 14					io 15				
<b>SD Card Detect and Write Protect</b>					shaded positions in any combination														
0					1					2					3				
4					5					6					7				
8					9					10					11				
12					13					14					15				
<b>SD Card Power Controls</b>					are bits that corresponds to SDIO control														
0					1					2					3				
4					5					6					7				
8					9					10					11				
12					13					14					15				
<b>SMC interface choice: NOR/SRAM</b>																			
cs 0					no te					data					oe bls				
data					data					data					[0:24]				
cs					ale we					io 2					io 0				
io 1					cle rd					io 4 ~ 7					io 3				
io 8					io 9					io 10					io 11				
io 12					io 13					io 14					io 15				
<b>CAN</b>					0					rx tx					rx tx				
1					tx rx					tx rx					tx rx				
<b>CAN External Clocks</b>					are optionally combination														
<b>UART</b>					0					rx tx					rx tx				
1					tx rx					tx rx					tx rx				
<b>I2C</b>					0					ck d					ck d				
1					ck d					ck d					ck d				

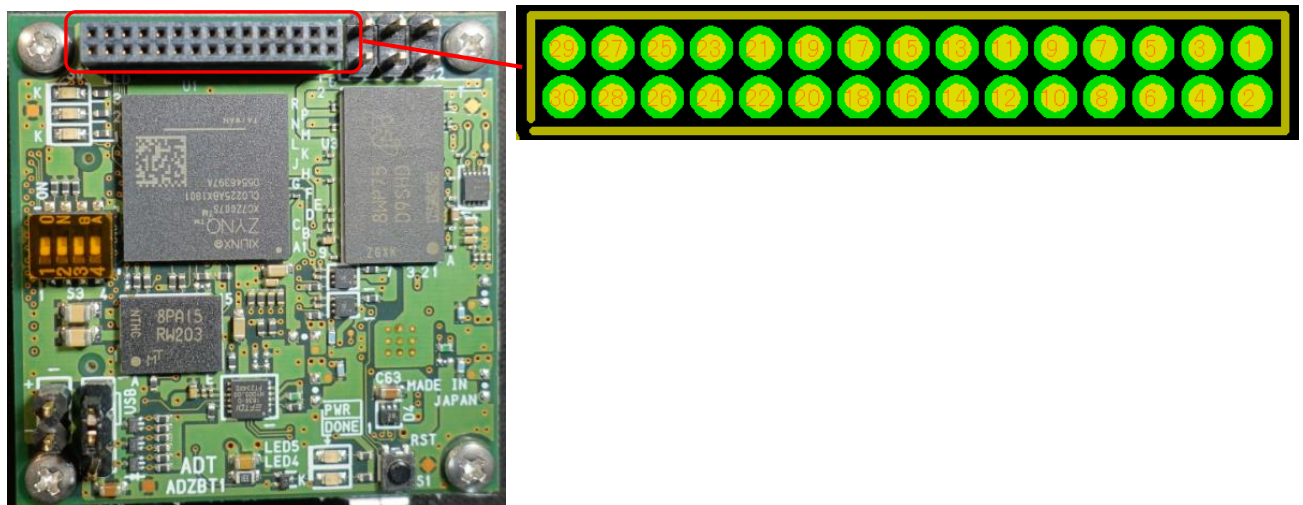
### 3 サンプルデザインの使い方

ADZBT1 の HP からダウンロード可能な、サンプルデザインをもとに説明します。

#### 3.1 構成

サンプルデザインではユーザーが使用できる I/F として SPI, I2C, UART, GPIO8 本が有効化されています。これらを使用する為の Pin は ADZBT1 表面の J5 コネクタに配線されています。

以下に J5 コネクタの位置と Pin 配置を示します。



各 Pin の機能は以下の通りです。

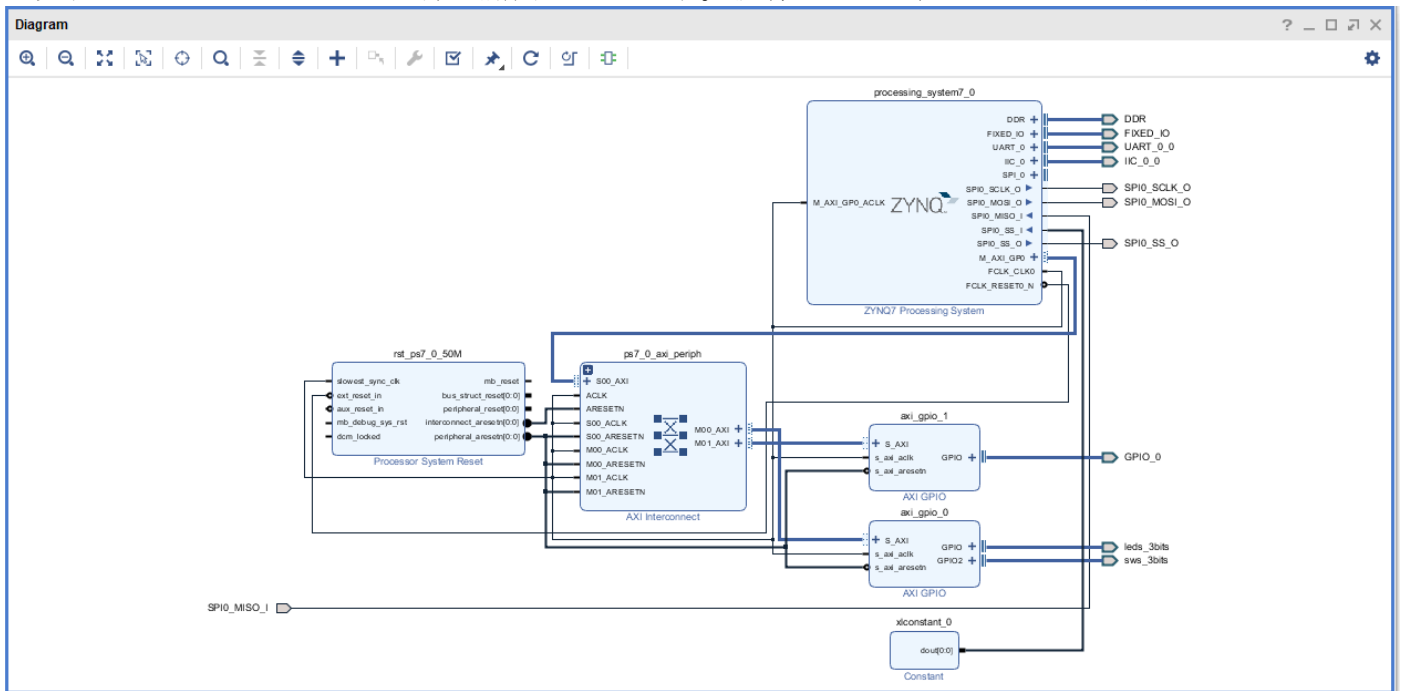
J5 コネクタ			FPGA			J5 コネクタ			FPGA		
Pin 番号	Pin 番号	機能	Pin 番号	Pin 番号	機能	Pin 番号	Pin 番号	機能	Pin 番号	Pin 番号	機能
1	-	+3.3V	16	J11	GPIO[3]	17	-	GND	18	-	GND
2	-	+3.3V	19	N13	GPIO[4]	20	N14	GPIO[5]	21	L15	GPIO[6]
3	-	GND	22	M15	GPIO[7]	23	L14	未使用	24	M14	未使用
4	-	GND	25	K13	未使用	26	L13	未使用	27	K11	未使用
5	G11	SPI0_MISO	28	K12	未使用	29	M12	未使用	30	N11	未使用
6	H12	SPI0_MOSI									
7	G12	SPI0_SCLK									
8	H13	SPI0_SS									
9	G14	UART0_RX									
10	H14	UART0_TX									
11	J15	I2C_SCL									
12	K15	I2C_SDA									
13	J13	GPIO[0]									
14	J14	GPIO[1]									
15	H11	GPIO[2]									

表面には、J5 コネクタに配線されている 8 本の GPIO(GPIO\_1)とは別に、ADZBT1 のユーザーLED、DIP スイッチに接続されている GPIO(GPIO\_0)が存在します。



GPIO は PL 部の内部で Xilinx 社の IP である AXI\_GPIO により制御されています。

以下にサンプルデザインの PL 部の構成図を示します。(画像は Xilinx 社 Vivado v2018.2)



AXI\_GPIO は CPU から AXI バスを通して接続されており、各 GPIO にアクセスする際、CPU から見たアドレスマップは次表のようになります。

GPIO	Address
GPIO_0(CH1:LED, CH2:DIP スイッチに接続)	0x41200000
GPIO_1(表面 J5 コネクタに接続)	0x41210000



## 3.2 手順

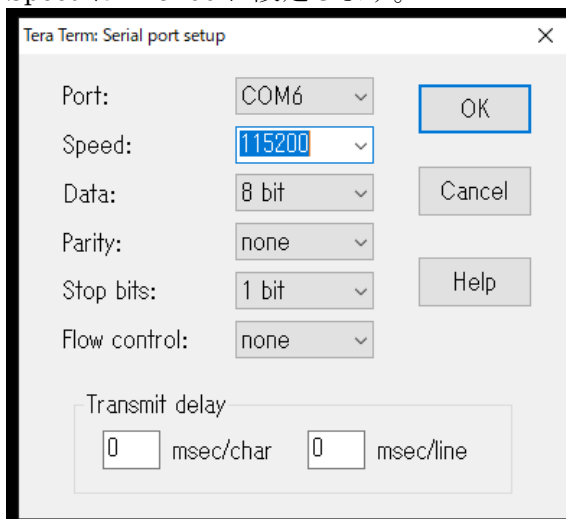
サンプルデザインを利用する手順は次の通りです。

サンプルデザインは、弊社 HP からダウンロードが可能です。

サイト：<https://www.adte.co.jp/news/世界最小 zynq ボード「adzbt1」発売開始/>

### 3.2.1 起動およびログイン

- 1) 事前準備
  - ・ MicroUSB ケーブル（USB MicroB 対応品）と、SD Card を用意します。
  - ・ パソコンには Tera Term 等の、シリアル通信ターミナルをインストールします。
- 2) パソコンにて弊社 HP のサイトから、サンプルデザインをダウンロードし、『image.ub』を SD カードにコピーします。
- 3) 『image.ub』が入った SD カードを ADZBT1 に挿入します。
- 4) MicroUSB ケーブルで、PC と ADZBT1 を接続します。
- 5) ADZBT1 の電源を入れます。  
ADZBT1 が USB 電源供給の場合、接続と同時に ADZBT1 が起動します。  
外部電源供給の場合は供給電源を入れます。
- 6) FlashROM に内蔵されたブートローダーが SD カード内の image.ub を読み出し、Linux が起動します。
- 7) PC で Tera Term 等のシリアル通信ターミナルを起動し、ADZBT1 に接続します。  
Speed は 115200 に設定します。



次のようなログイン画面が表示されます。

```
PetaLinux 2017.4 ADZBT1 /dev/ttyPS0
ADZBT1 login:
```

- 8) ユーザー名：root、パスワード：root でログインできます。

### 3.2.2 LED を操作する

ADZBT1 に実装されているユーザーLED を点灯させます。



1. LED に接続している GPIO を操作するためのインターフェースとなるファイルが `/sys/class/gpio` 以下に存在します。

サンプルデザインでは `gpio1021` 番～`1023` 番が、ユーザーLED の 1～3 番に対応しています。

ここではユーザーLED1 番を点灯させるため、`gpio1021` を有効化します。

```
root@ADZBT1:~# echo 1021 > /sys/class/gpio/export
```

2. `gpio` の入出力方向を『出力』に設定します。  
LED は FPGA からの出力が 0 の時に点灯する回路となっており、`gpio` の初期値は 0 の為、この時点でユーザーLED の 1 番が点灯します。

```
root@ADZBT1:~# echo out > /sys/class/gpio/gpio1021/direction
```

3. LED を消灯させるには `value` に『1』を書き込みます。

```
root@ADZBT1:~# echo 1 > /sys/class/gpio/gpio1021/value
```

4. `value` に『0』を書き込むと再び LED が点灯します。

```
root@ADZBT1:~# echo 0 > /sys/class/gpio/gpio1021/value
```