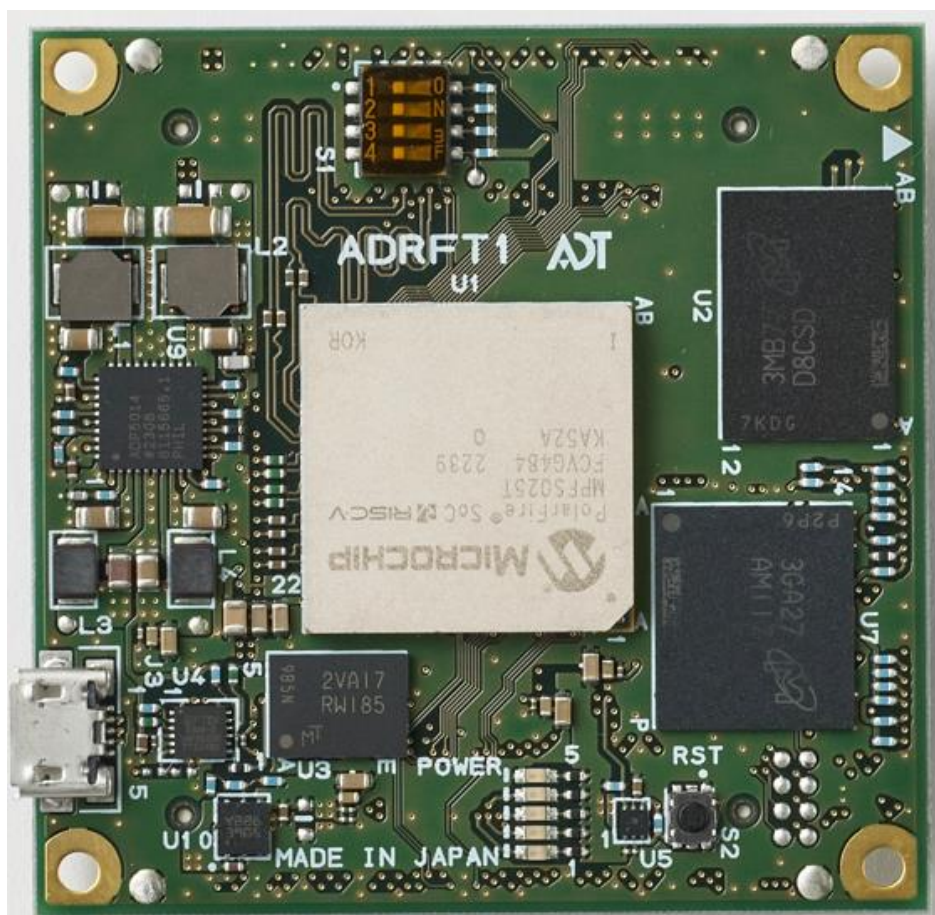


ADRFT1-SOM

アドリフトワン SOM

RISC-V Processor + FPGA Original Board



Hardware User Manual
Version 1.2

Revision History

Version	Date	Comment
1.0	2024/6/1	新規作成
1.1	2024/10/1	2章、3.5章 図 CLK 訂正
1.2	2025/6/1	2章 BlockDiagram 訂正

目次

1	Overview.....	4
2	Block Diagram	5
3	機能説明	6
3.1	SPI Flash.....	7
3.2	DDR Memory	7
3.3	Micro USB.....	7
3.4	eMMC Memory/SD Card.....	8
3.5	Clock Source.....	9
3.6	User I/O	9
3.7	LED.....	13
3.8	DIP SW	14
4	Appendix 1 図面.....	15
5	Appendix 2	17

1 Overview

本 FPGA ボード「ADRFT1 SOM」の仕様について記載します。

		ADRFT1-SOM-025T	ADRFT1-SOM-095T
FPGA	Microchip PolarFire® SoC		
		MPFS025T - 1FCVG484	MPFS095T - 1FCVG484
Processor Core	Boot/Monitor Core : 1 x E51 RISC-V RV64IMAC , 625MHz Application cores : 4 x U54 RISC-V RV64GC, 625MHz		
L1 Cache	RV64IMAC : 16 KB 2-way instruction cache RV64GC : 32 KB 8-way instruction cache, 32 KB 8-way data cache		
L2 Cache	2MB		
On-Chip Memory	128KB		
DRAM	LPDDR4 2GB		
SPI Flash	1Gb(128MB)		
UART	Micro USB UART Debug I/F		
Connect I/O	142 Pin User I/O (XCVR:4-IO)		
	I/O は以下の用途に拡張可能。 10GbE, PCIe, USB2.0(OTG), Gigabit Ether UART, I2C, SPI, MDIO, GPIO, User I/F		
Power	DC In : 5V (拡張コネクタから供給)		
Programmable Logic	Logic Elements	23K	93K
	Math Bocks (18x18MACC)	68	292
	Total Block RAM	1.8Mb	6.7Mb
Board Size	52.0mm x 52.0mm		

※FPGA に Program and Debug Tools する Writer は別途用意する必要があります。

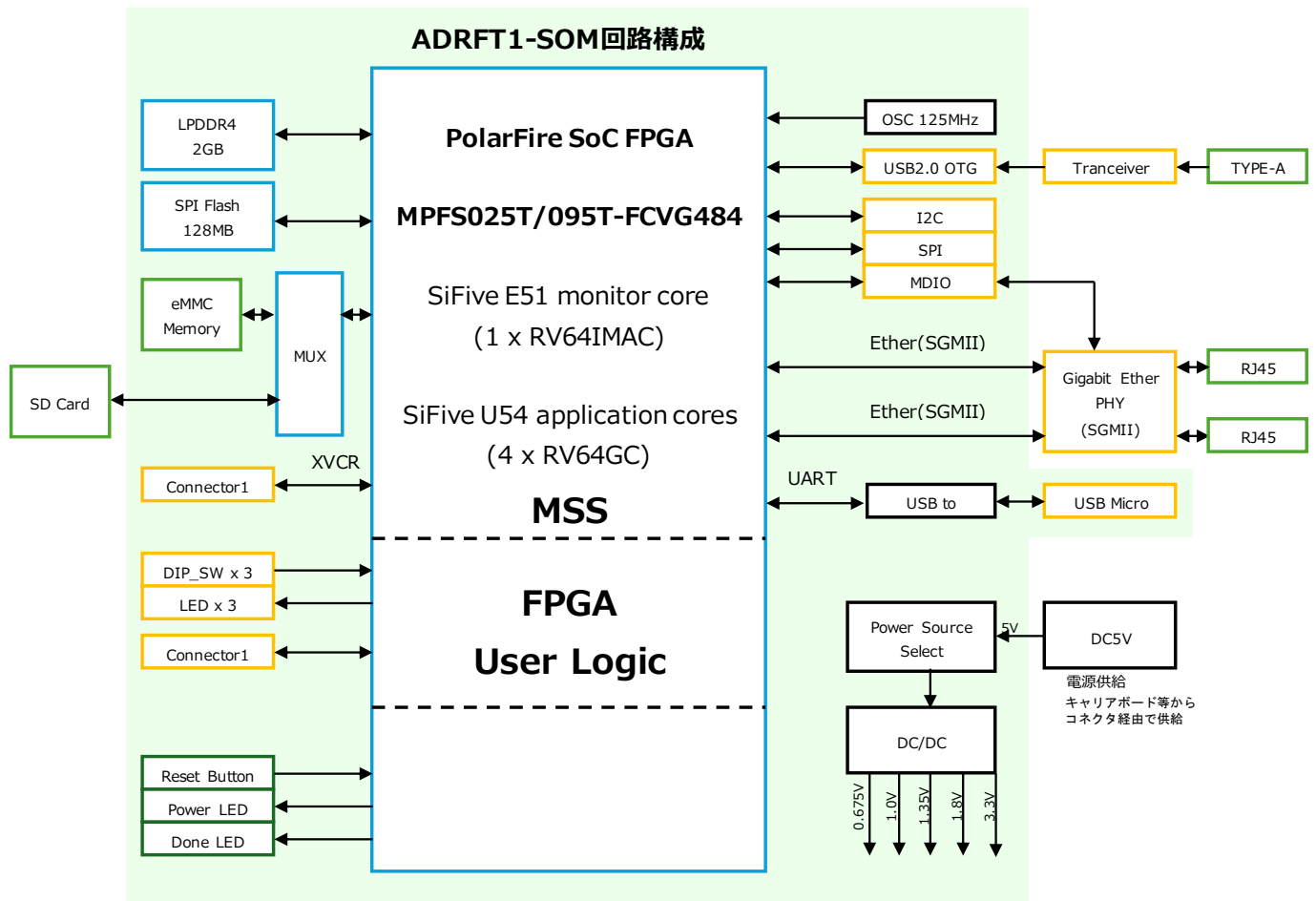
Microchip 社の FlashPro 等をご利用ください。

※SOM 単体ではご利用できません。

キャリアボードをご利用頂くか、もしくはユーザー様が開発されたオリジナル基板にて、電源供給をして頂き、FPGA への Programing を行ってください。

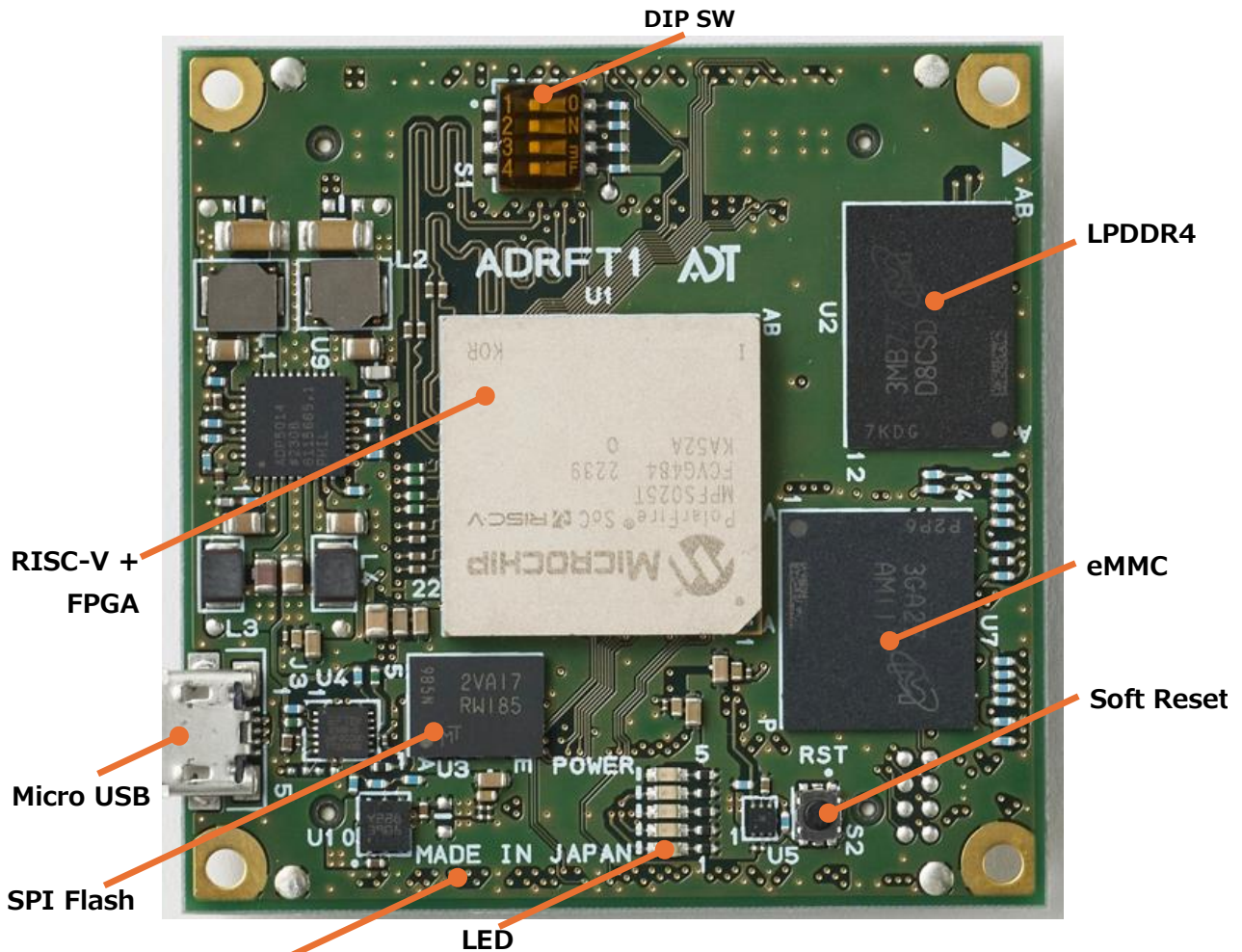
2 Block Diagram

ADRFT1-SOM のブロック構成を以下に示します。



3 機能説明

ADRFT1-SOM の主要な機能について以下に説明します。

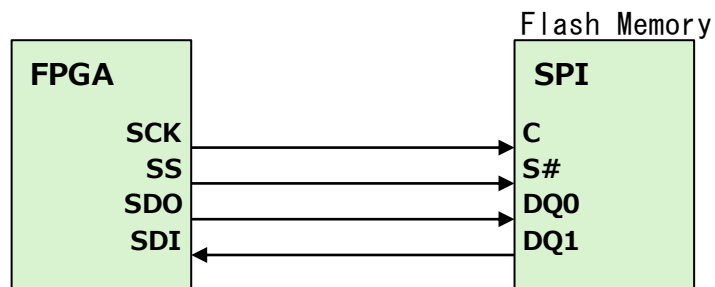


User I/F コネクタ2つ (コネクタ1 : 56Pin、コネクタ2 : 86pin)

3.1 SPI Flash

SPI Flash I/F は 3.3V 対応の Micron : MT25QL01GB (128MB) を使用しています。

FPGA の Pin 配置は以下に記載します。



3.2 DDR Memory

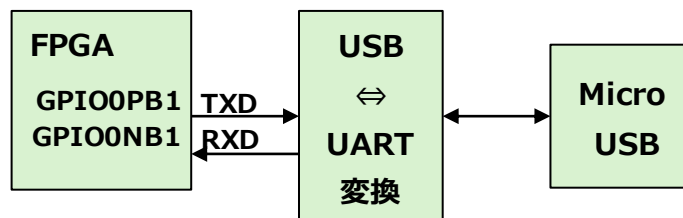
DDR Memory は、LPDDR4 Micron : MT53E512M32 (2GB) を使用しています。

3.3 Micro USB

Micro USB から、PolarFire FPGA への UART アクセスに使用します。

PolarFire FPGA 上での Linux 起動時には、Micro USB-UART 経由で操作できます。

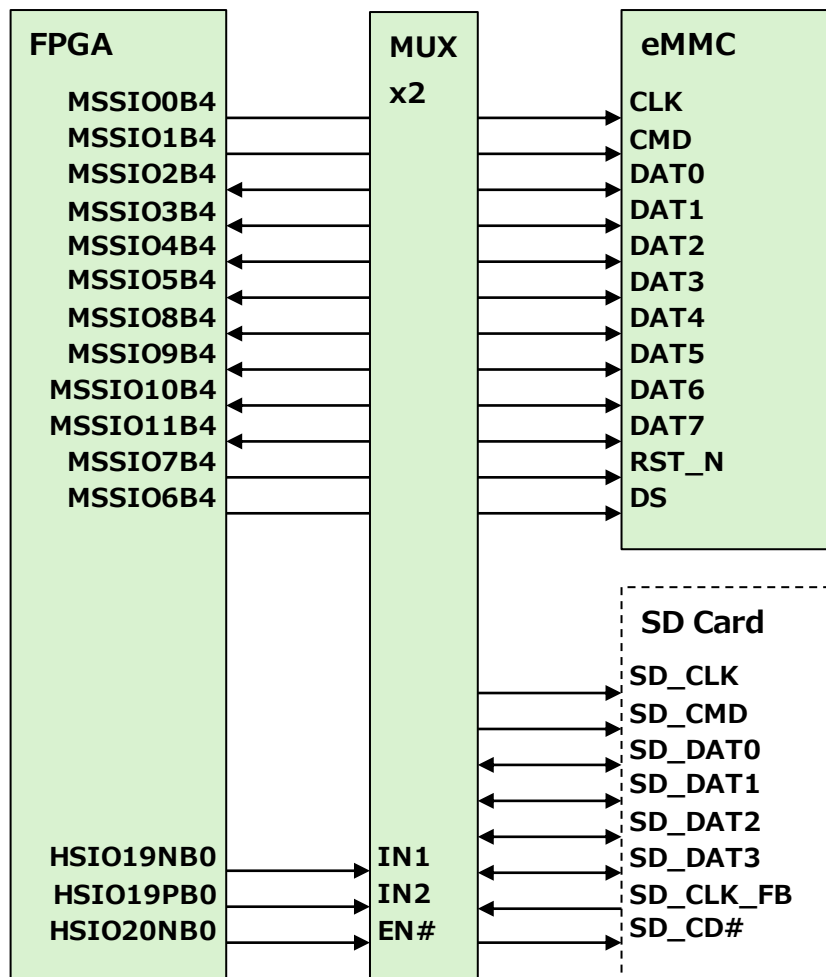
※Micro USB (Micro B のコネクタ形状)



3.4 eMMC Memory/SD Card

eMMC と Micro SD をマルチプレクサによって切り替えることにより、排他的に使用できます。Micro SD Slot は Carrier Board に付属します。Linux などの OS のイメージを eMMC、または Micro SD に格納しておくことで、Boot 時に Linux 起動させることができます。

FPGA の Pin 配置は以下に記載します。

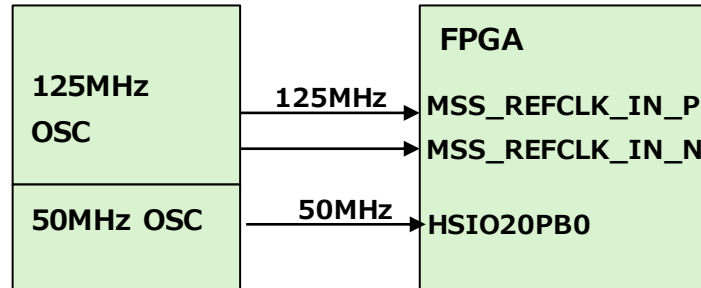


ADRFT1 の eMMC と Micro SD の切り替え論理 :

HSIO20NB0(EN#)	HSIO19NB0(IN1)	HSIO19PB0(IN2)	COM
H	X	X	Hi-Z
L	L	L	eMMC
L	H	H	SD

3.5 Clock Source

125MHz / 50MHz Oscillator を実装し、FPGA に入力しています。

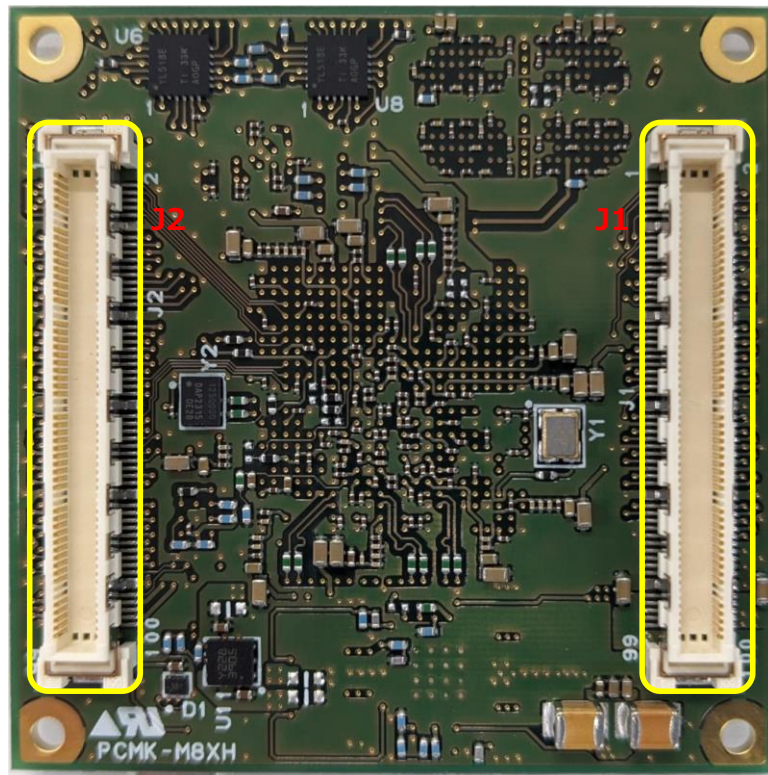


3.6 User I/O

User I/O として、裏面に J1 : 56Pin、J2 : 86Pin を実装します。

J1 (裏面 56Pin) コネクタ型番 : FX10A-100P/10-SV1 (Hirose)

J2 (裏面 86Pin) コネクタ型番 : FX10A-100P/10-SV1 (Hirose)



Pin アサインを以下に示します。

■J1 コネクタ :

FPGA			FPGA		
J1 コネク タ	Pin 番 号	Port 名※MPFS025T	J1 コネク タ	Pin 番号	Port 名※MPFS025T
1	—	GND	2	—	GND
3	R16	HSIO15NB0	4	R14	HSIO17NB0
5	T16	HSIO15PB0	6	R15	HSIO17PB0
7	—	GND	8	—	GND
9	W12	HSIO32PB0	10	V12	HSIO32NB0
11	Y16	HSIO22NB0	12	AA15	HSIO25NB0
13	AA16	HSIO22PB0	14	Y15	HSIO25PB0
15	—	GND	16	—	GND
17	AB12	HSIO28NB0	18	V15	HSIO30NB0
19	AA12	HSIO28PB0	20	V14	HSIO30PB0
21	—	GND	22	—	GND
23	U13	HSIO33NB0	24	T13	HSIO35NB0
25	U14	HSIO33PB0	26	R12	HSIO35PB0
27	AB15	HSIO24NB0	28	AB13	HSIO26NB0
29	AB14	HSIO24PB0	30	AA13	HSIO26PB0
31	V19	HSIO12NB0	32	U18	HSIO14NB0
33	V20	HSIO12PB0	34	U19	HSIO14PB0
35	—	GND	36	—	GND
37	V22	HSIO6NB0	38	Y21	HSIO7NB0
39	W22	HSIO6PB0	40	Y20	HSIO7PB0
41	—	GND	42	—	GND
43	AA22	HSIO9NB0	44	AB20	HSIO10NB0
45	AA21	HSIO9PB0	46	AB19	HSIO10PB0
47	—	GND	48	—	GND
49	AA18	HSIO18NB0	50	AA17	HSIO21NB0
51	AB18	HSIO18PB0	52	AB17	HSIO21PB0
53	—	GND	54	—	GND
55	T22	XCVR_0_TX3_P	56	R20	XCVR_0_RX3_P
57	T21	XCVR_0_TX3_N	58	R19	XCVR_0_RX3_N
59	—	GND	60	—	GND
61	P22	XCVR_0_TX2_P	62	M22	XCVR_0_RX2_P
63	P21	XCVR_0_TX2_N	64	M21	XCVR_0_RX2_N
65	—	GND	66	—	GND
67	H22	XCVR_0_TX1_P	68	K22	XCVR_0_RX1_P
69	H21	XCVR_0_TX1_N	70	K21	XCVR_0_RX1_N

71	F22	XCVR_0_TX0_P	72	G20	XCVR_0_RX0_P
73	F21	XCVR_0_TX0_N	74	G19	XCVR_0_RX0_N
75	—	GND	76	—	GND
77	—	—	78	L19	XCVR_0A_REFCLK_P
79	—	—	80	L20	XCVR_0A_REFCLK_N
81	—	GND (+5V Return)	82	—	GND (+5V Return)
83	—	GND (+5V Return)	84	—	GND (+5V Return)
85	—	GND (+5V Return)	86	—	GND (+5V Return)
87	—	GND (+5V Return)	88	—	GND (+5V Return)
89	—	GND (+5V Return)	90	—	GND (+5V Return)
91	—	+5V	92	—	+5V
93	—	+5V	94	—	+5V
95	—	+5V	96	—	+5V
97	—	+5V	98	—	+5V
99	—	+5V	100	—	+5V

■J2 コネクタ :

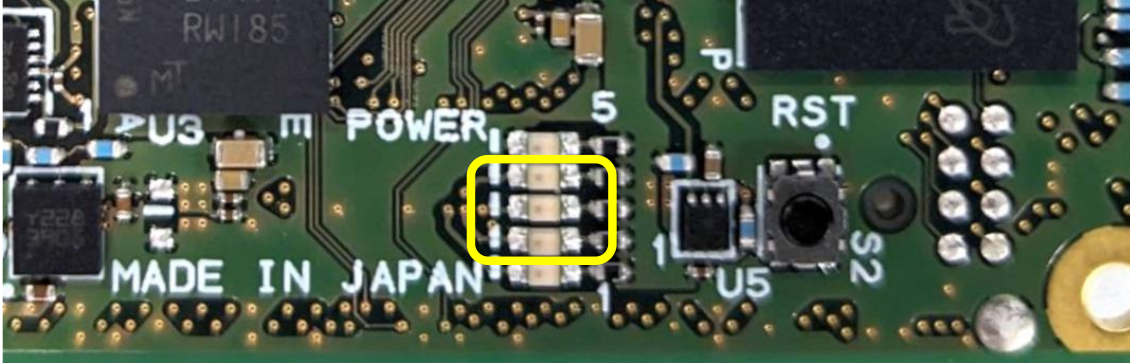
FPGA			FPGA		
Pin 番号	Pin 番号	Port 名※MPFS025T	Pin 番号	Pin 番号	Port 名※MPFS025T
1	F8	TMS	2	C4	GPIO37PB1
3	G9	TDI	4	C5	GPIO38PB1
5	E8	TDO	6	B5	GPIO38NB1
7	E9	TCK	8	C6	GPIO39PB1
9	G8	TRSTB	10	C7	GPIO39NB1
11	N8	MSS_SGMII_TXN1	12	K7	MSS_SGMII_RXN1
13	M7	MSS_SGMII_TXP1	14	K6	MSS_SGMII_RXP1
15	—	GND	16	—	GND
17	N7	MSS_SGMII_TXN0	18	L6	MSS_SGMII_RXN0
19	N6	MSS_SGMII_TXP0	20	L5	MSS_SGMII_RXP0
21	—	GND	22	—	GND
23	G2	MSSIO14B2	24	C1	MSSIO26B2
25	F1	MSSIO15B2	26	B1	MSSIO27B2
27	G5	MSSIO16B2	28	D3	MSSIO28B2
29	G4	MSSIO17B2	30	C2	MSSIO29B2
31	F2	MSSIO18B2	32	E5	MSSIO30B2
33	E1	MSSIO19B2	34	E4	MSSIO31B2
35	G3	MSSIO20B2	36	B2	MSSIO32B2
37	F5	MSSIO21B2	38	A2	MSSIO33B2
39	D1	MSSIO22B2	40	B3	MSSIO34B2
41	D2	MSSIO23B2	42	A3	MSSIO35B2
43	F6	MSSIO24B2	44	E3	MSSIO36B2

45	F3	MSSIO25B2	46	C9	GPIO44NB1
47	B14	GPIO51NB1	48	A6	GPIO40PB1
49	B4	GPIO37NB1	50	A5	GPIO40NB1
51	B12	GPIO48PB1	52	C10	GPIO44PB1
53	C12	GPIO48NB1	54	A10	GPIO45PB1
55	A13	GPIO49PB1	56	A11	GPIO45NB1
57	A12	GPIO49NB1	58	C11	GPIO46PB1
59	D14	GPIO50NB1	60	D11	GPIO46NB1
61	D13	GPIO50PB1	62	B10	GPIO47PB1
63	H1	MSSIO2B4(SD_DAT0)	64	B9	GPIO47NB1
65	J4	MSSIO3B4(SD_DAT1)	66	—	GND
67	K4	MSSIO4B4(SD_DAT2)	68	H5	MSSIO12B4
69	J7	MSSIO5B4(SD_DAT3)	70	J2	MSSIO13B4
71	K5	MSSIO1B4(SD_CMD)	72	E19	GPIO2PB1
73	J1	MSSIO0B4(SD_CLK)	74	D19	GPIO2NB1
75	J6	MSSIO8B4(SD_CLK_FB)※	76	B17	GPIO3PB1
77	H6	MSSIO9B4(SD_VOLT_SEL)※	78	C17	GPIO3NB1
79	K3	MSSIO6B4(SD_CD)	80	D18	GPIO4PB1
81			82	E18	GPIO4NB1
83	A15	GPIO53PB1	84	A18	GPIO5PB1
85	B15	GPIO53NB1	86	B18	GPIO5NB1
87	C14	GPIO52PB1	88	D6	GPIO36PB1
89	C15	GPIO52NB1	90	D7	GPIO36NB1
91	F17	GPIO1PB1	92	F16	GPIO1NB1
93	—	+1.8V	94	—	+1.8V
95	—	GND	96	—	GND
97	—	+3.3V	98	—	+3.3V
99	—	GND	100	—	GND

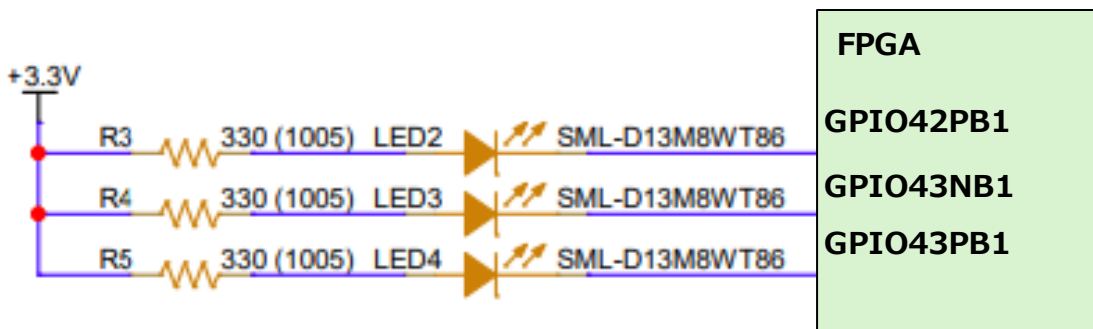
※SD Card I/F は eMMC と排他的に接続されます。

3.7 LED

ADRFT1-SOM には User 用 LED を 3 つ実装しています。

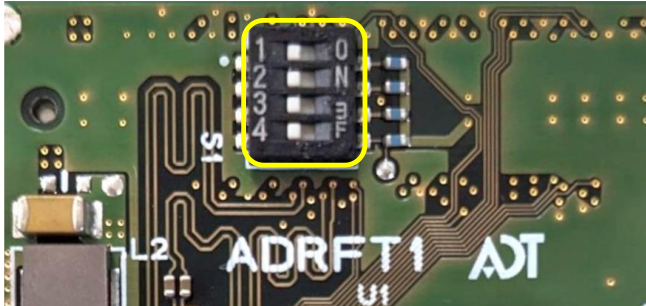


FPGA の Pin 配置は以下に記載します。

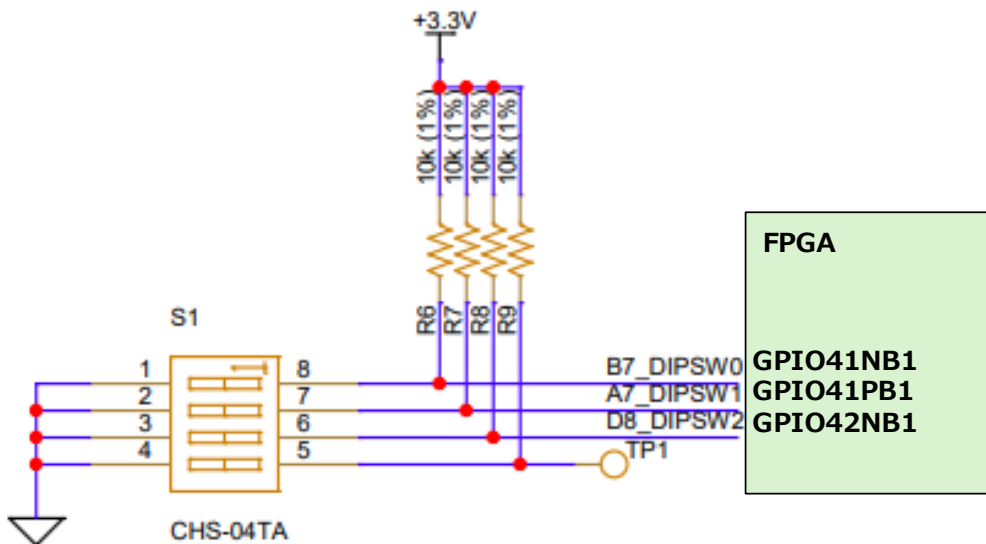


3.8 DIP SW

ADRFT1-SOM には User 用 DIP SW を 3 つ実装しています。

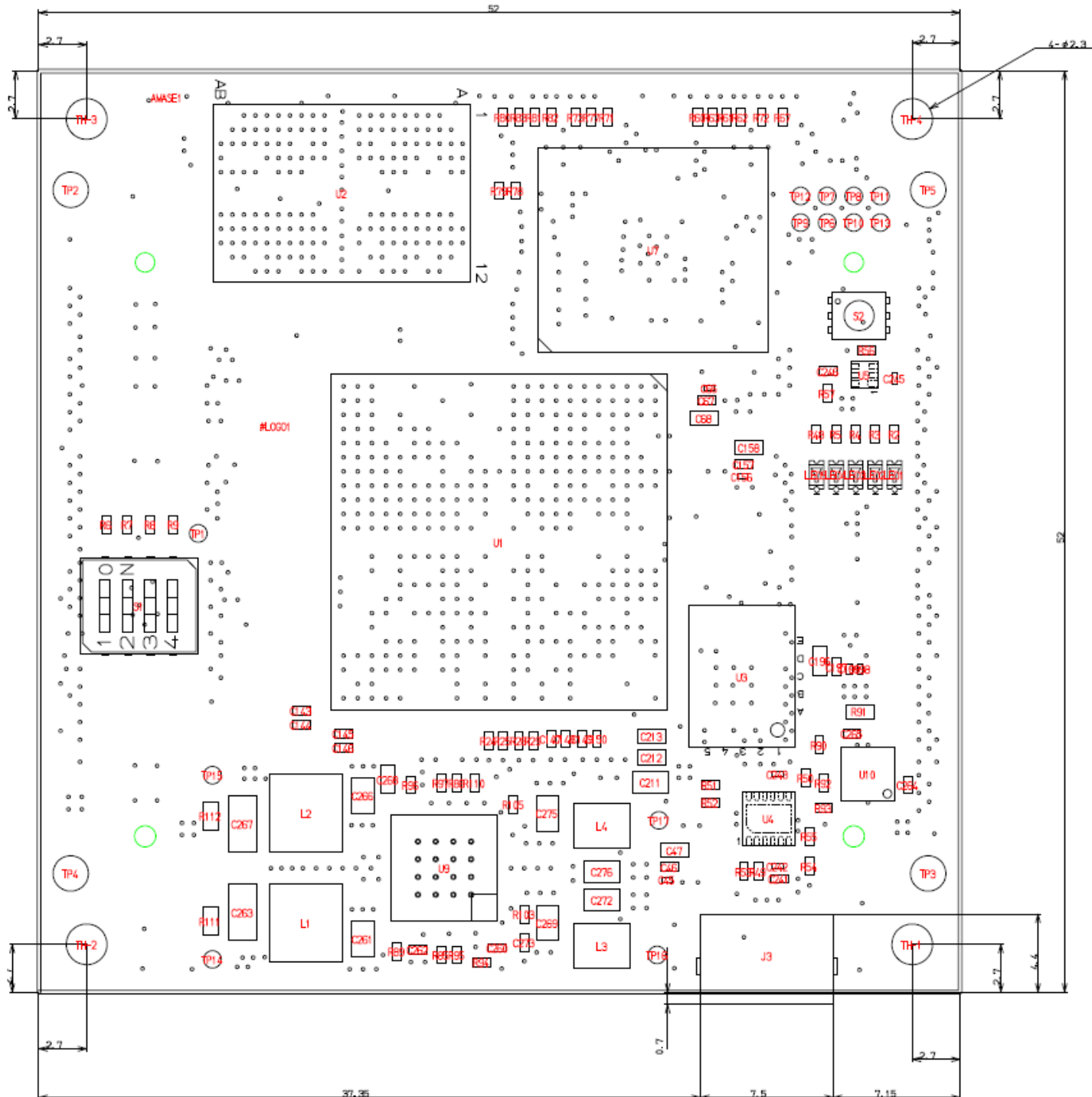


FPGA の Pin 配置は以下に記載します。

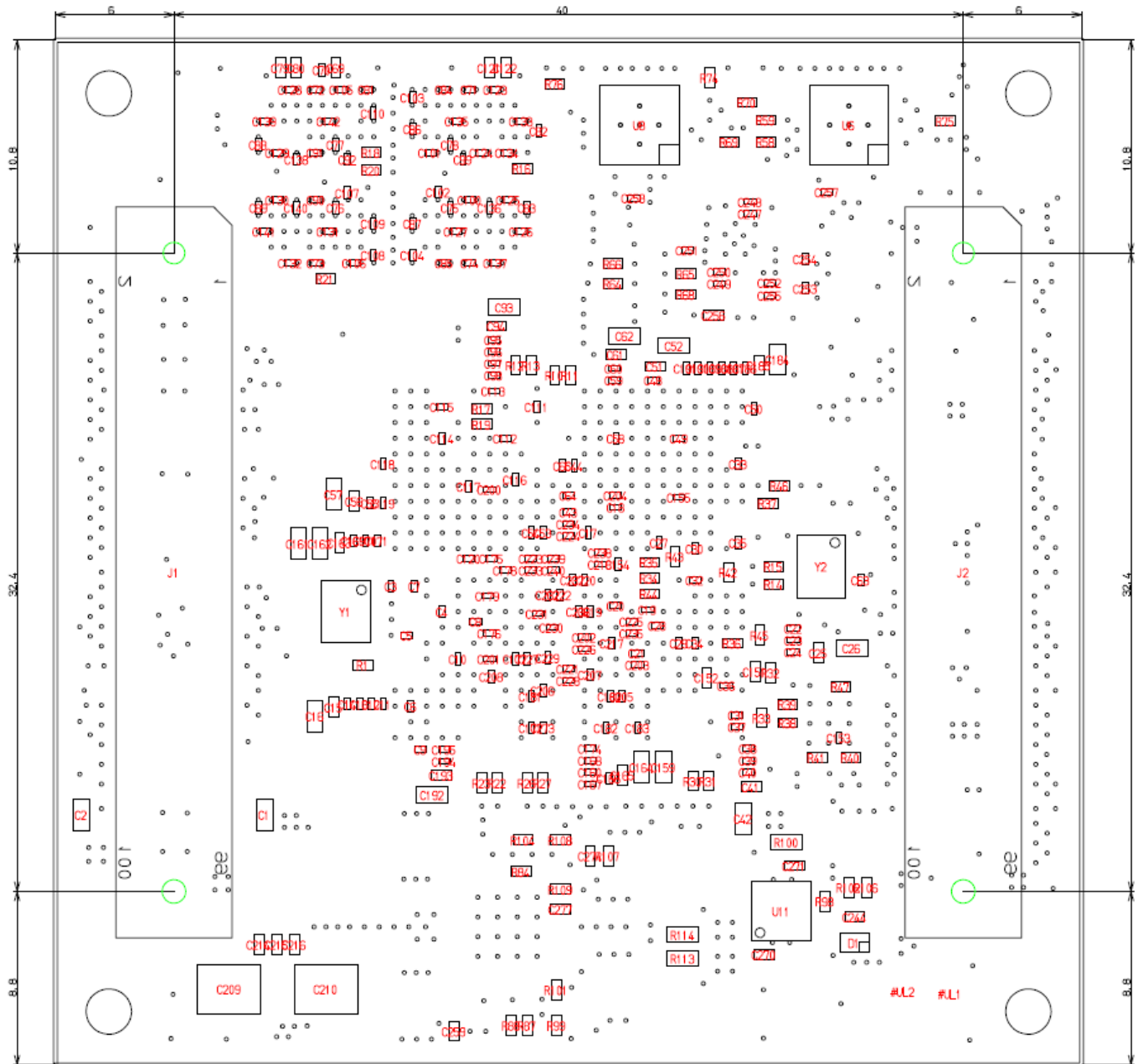


4 Appendix 1 図面

TOP VIEW (A 面)



TOP VIEW (B面)



5 Appendix 2

ADRFT1-SOM 出荷時には、出荷検査用の ROM データが書き込まれております。

使用時に eMMC か SPI Flash への書き込み、又は、Micro SD Card に ROM データを格納してご使用ください。

ADRFT1-SOM を用いた開発にあたり、サンプルデザインを提供しております。
弊社 HP からダウンロードしてご使用ください。

テスト用のサンプルデザインとなりますので、製品に転用される場合には、ユーザー様の責任においてご利用下さいますようお願い致します。

— 以上 —